



2816

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Ryuichi IKEMATSU

Appln. No.: 09/779,744

Group Art Unit: 2816

Confirmation No.: 5871

Examiner: Unknown

Filed: February 9, 2001

For: MULTI-MODE SCHEDULER, APPARATUS INCLUDING MULTI-MODE
SCHEDULER AND MULTI-MODE SCHEDULING METHOD

RECEIVED
APR 12 2001
1C 2800 MAIL ROOM

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, D.C. 20231

RECEIVED
MAY 31 2001
Technology Center 2600

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to
priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to
acknowledge receipt of said priority document.

Respectfully submitted,

SUGHRUE, MION, ZINN,
MACPEAK & SEAS, PLLC
2100 Pennsylvania Avenue, N.W.
Washington, D.C. 20037-3213
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

J. Frank Osha
Registration No. 24,625

Enclosures: Japanese 2000-031347

Date: April 10, 2001



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

R. Ikematsu
09/779,744
filed 2/9/01
Q63112
1 of 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 2月 9日

出 願 番 号
Application Number:

特願2000-031347

出 願 人
Applicant (s):

日本電気株式会社

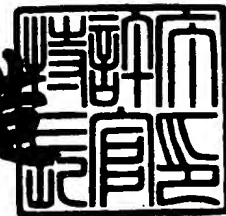
RECEIVED
APR 12 2001
TC 2800 MAIL ROOM

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 1月 5日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 49210413

【提出日】 平成12年 2月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/00

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 池松 龍一

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100088812

 【弁理士】

 【氏名又は名称】 ▲柳▼川 信

【手数料の表示】

 【予納台帳番号】 030982

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチモードスケジューラ

【特許請求の範囲】

【請求項 1】 N 個 (N は正の整数) の入力インタフェース部と kM (M は正の整数、 k は 2 以上の整数) 個の出力インタフェース部間のデータ転送を調停する $N \times kM$ スケジューラからなるマルチモードスケジューラであって、前記 $N \times kM$ スケジューラを構成する k 個の $N \times M$ スケジューラと、前記 $N \times kM$ スケジューラの外部から入力される割当済み出力ポート情報と前段の $N \times M$ スケジューラからの情報とを切替えて前記 $N \times M$ スケジューラに割当済み出力ポート情報として入力する $k - 1$ 個の選択手段とを有し、前記 $k - 1$ 個の選択手段の切替動作によって $kN \times kM$ までのスケジューラと優先クラス k 個の $N \times M$ スケジューラとの 2 種類の動作を設定自在に構成したことを特徴とするマルチモードスケジューラ。

【請求項 2】 外部から入力される割当済み出力ポート情報を使用する場合に前記 $N \times kM$ スケジューラを k 個接続して $kN \times kM$ のスケジューラを構成するようにしたことを特徴とする請求項 1 記載のマルチモードスケジューラ。

【請求項 3】 前記 $k - 1$ 個の選択手段各々は、前記外部から入力される割当済み出力ポート情報を使用する際に前記外部から入力される割当済み出力ポート情報を選択するよう構成したことを特徴とする請求項 2 記載のマルチモードスケジューラ。

【請求項 4】 前記 $N \times kM$ スケジューラを k 個パイプライン接続して $kN \times kM$ のスケジューラを構成するようにしたことを特徴とする請求項 2 または請求項 3 記載のマルチモードスケジューラ。

【請求項 5】 前記前段の $N \times M$ スケジューラからの情報を使用する場合に前記 $N \times kM$ スケジューラを単独で使用して k 個の優先クラスを持つ $N \times M$ スケジューラとして構成するようにしたことを特徴とする請求項 1 記載のマルチモードスケジューラ。

【請求項 6】 前記 $k - 1$ 個の選択手段各々は、前記 $N \times kM$ スケジューラ

を単独で使用する際に前記前段のN×Mスケジューラからの情報を選択するよう構成したことを特徴とする請求項5記載のマルチモードスケジューラ。

【請求項7】 前記N個の入力インタフェース部各々は、受信データを宛先の出力インタフェース部毎に蓄積するVOQ (Virtual Output Queue) バッファを含むことを特徴とする請求項1から請求項6のいずれか記載のマルチモードスケジューラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はマルチモードスケジューラに関し、特に通信インフラストラクチャに用いられ、入力バッファ型スイッチを制御するスケジューラに関する。

【0002】

【従来の技術】

インターネットの急激な普及は公衆インフラストラクチャの急激な変革を求めており、インターネットの枠組み自体を通信インフラストラクチャとして活用するという機運が高まっている。

【0003】

インターネットがそのような役割を果たすためには、トラヒックの増加に対するサービスノード（ルータ）の拡張性及び複数サービス品質の提供が必要であり、スケジューラもこの二つの課題に対応することが要求されている。

【0004】

通信インフラストラクチャとしてのルータのスイッチ実現方式としては、Virtual Output Queuing (VOQ) を用いた入力バッファ型スイッチが有力視されている。

【0005】

尚、拡張性を実現する方法としては、電子情報通信学会技術研究報告（SSE 99-121:1999.12.16）に記載された方法があり、複数サービス品質を提供する方法としては、電子情報通信学会技術研究報告（SSE 99-120:1999.12.16）に記載された方法があるが、それぞれ一方の課題

のみに対応した構成となっている。

【0006】

【発明が解決しようとする課題】

上述した従来のスケジューラでは、インターネットの枠組み自体を通信インフラストラクチャとして活用する際に、トラヒックの増加に対するサービスノード（ルータ）の拡張性及び複数サービス品質の提供に対応することが要求されている。一般に、基幹系のルータには拡張性が求められ、加入者系のルータには複数サービスの提供が求められている。

【0007】

そこで、本発明の目的は上記の問題点を解消し、ポート数の拡張性が要求されるルータと複数のクラス間での優先制御が要求されるルータとの双方に対応することができ、汎用的なスケジューラを実現することができるマルチモードスケジューラを提供することにある。

【0008】

【課題を解決するための手段】

本発明によるマルチモードスケジューラは、 N 個（ N は正の整数）の入力インタフェース部と kM （ M は正の整数、 k は2以上の整数）個の出力インタフェース部間のデータ転送を調停する $N \times kM$ スケジューラからなるマルチモードスケジューラであって、前記 $N \times kM$ スケジューラを構成する k 個の $N \times M$ スケジューラと、前記 $N \times kM$ スケジューラの外部から入力される割当済み出力ポート情報と前段の $N \times M$ スケジューラからの情報とを切替えて前記 $N \times M$ スケジューラに割当済み出力ポート情報として入力する $k-1$ 個の選択手段とを備え、前記 $k-1$ 個の選択手段の切替動作によって $kN \times kM$ までのスケジューラと優先クラス k 個の $N \times M$ スケジューラとの2種類の動作を設定自在に構成している。

【0009】

すなわち、本発明のマルチモードスケジューラは、複数の入力インタフェース部と複数の出力インタフェース部とを有し、各入力インタフェース部にはVOQ（Virtual Output Queue）と呼ばれるバッファを持ち、受信データを宛先（出力インタフェース部）毎にVOQのバッファに蓄積し、デー

タが蓄積されている宛先に対するデータ転送要求（スイッチの接続割当要求）をスケジューラに出力し、スケジューラでは各入力インタフェース部から受信した接続割当要求を調停してクロスポイントスイッチの接続を決定し、その割当結果を各入力インタフェース部に通知し、割当結果を受取った入力インタフェース部が転送を許可された宛先のデータをクロスポイントスイッチに送出することでスイッチングを行うスイッチシステムで用いられるスイッチスケジューラである。

【0010】

本発明のマルチモードスケジューラはこのスイッチスケジューラにおいて、 N 個（ N は正の整数）の入力インタフェース部と kM （ M は正の整数、 k は2以上の整数）個の出力インタフェース部間のデータ転送を調停する $N \times kM$ スケジューラを k 個の機能ブロック（ $N \times M$ スケジューラ）から構成し、それぞれの $N \times M$ スケジューラに入力される割当済み出力ポート情報を、外部から入力される割当済み出力ポート情報と k 個に分割した $N \times kM$ スケジューラ内の前段の $N \times M$ スケジューラが出力する割当済み出力ポート情報とを設定によって切替えられるようにしている。

【0011】

これによって、外部から入力される割当済み出力ポート情報を使用する場合には、 $N \times kM$ スケジューラを k 個接続して $kN \times kM$ のスケジューラを構成することが可能となる。また、 $N \times kM$ スケジューラ内の前段の $N \times M$ スケジューラからの割当済み出力ポート情報を使用する場合には、 $N \times kM$ スケジューラを単独で使用して k 個の優先クラスを持つ $N \times M$ スケジューラとして使用することが可能となる。

【0012】

よって、ポート数の拡張性が要求されるルータと複数のクラス間での優先制御が要求されるルータとの双方に対応可能となり、汎用的なスケジューラが実現可能となる。

【0013】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。図1は本発明の

実施の形態によるマルチモードスケジューラの構成を示すブロック図である。図 1 において、本発明は割当済み出力ポート情報の接続に関する発明であるため、スケジューラに入力される入力インタフェース部からの接続割当要求と接続割当結果との図示を省略している。

【 0 0 1 4 】

図 1 において、 $N \times kM$ スケジューラ 1 0 0 は $N \times M$ スケジューラ 1 1 0, 1 2 0, …… , 1 k 0 と、選択回路 1 2 1 ~ 1 2 M, …… , 1 k 1 ~ 1 k M とから構成されている。

【 0 0 1 5 】

選択回路 1 2 1 ~ 1 2 M, …… , 1 k 1 ~ 1 k M は割当済み出力ポート情報 $S_{121} \sim S_{12M}$, …… , $S_{1k1} \sim S_{1kM}$ と前段の $N \times M$ スケジューラ 1 1 0, …… , 1 (k-1) 0 [$N \times M$ スケジューラ 1 (k-1) 0 は図示せず] が出力する割当済み出力ポート情報 $S_{221} \sim S_{22M}$, …… , $S_{2(k-1)1} \sim S_{2(k-1)M}$ とを切替えて割当済み出力ポート情報 $S_{421} \sim S_{42M}$, …… , $S_{4k1} \sim S_{4kM}$ を $N \times M$ スケジューラ 1 2 0, …… , 1 k 0 に出力する。

【 0 0 1 6 】

$N \times M$ スケジューラ 1 1 0, 1 2 0, …… , 1 (k-1) 0 が出力する割当済み入力ポート情報 $S_{311} \sim S_{31N}$, $S_{321} \sim S_{32N}$, …… , $S_{3(k-1)1} \sim S_{3(k-1)N}$ は後段の $N \times M$ スケジューラ 1 2 0, …… , 1 k 0 の割当済み入力ポート情報 $S_{311} \sim S_{31N}$, $S_{321} \sim S_{32N}$, …… , $S_{3(k-1)1} \sim S_{3(k-1)N}$ として入力される。

【 0 0 1 7 】

全ての選択回路 1 2 1 ~ 1 2 M, …… , 1 k 1 ~ 1 k M は図示せぬ外部から設定された 1 つの選択制御信号によって、外部からの割当済み出力ポート情報と前段の $N \times M$ スケジューラ 1 1 0, …… , 1 (k-1) 0 が出力する割当済み出力ポート情報とのどちらか一方を選択する。外部からの割当済み出力ポート情報を選択する場合には、全ての選択回路 1 2 1 ~ 1 2 M, …… , 1 k 1 ~ 1 k M が外部からの割当済み出力ポート情報を選択する。

【 0 0 1 8 】

次に、本発明の一実施例について図面を参照して説明する。図 2 は本発明の一実施例によるマルチモードスケジューラの構成を示すブロック図である。図 2 において、本発明の一実施例によるマルチモードスケジューラは $N = 4$ 、 $M = 4$ 、 $k = 4$ の場合の構成を示している。また、本発明は割当済み出力ポート情報の接続に関する発明であるため、スケジューラに入力される入力インタフェース部からの接続割当要求と接続割当結果との図示を省略している。

【 0 0 1 9 】

4×16 スケジューラ 5 0 0 は第 1 の 4×4 スケジューラ 5 1 0 と、第 2 の 4×4 スケジューラ 5 2 0 と、第 3 の 4×4 スケジューラ 5 3 0 と、第 4 の 4×4 スケジューラ 5 4 0 と、選択回路 5 2 1 ~ 5 2 4、5 3 1 ~ 5 3 4、5 4 1 ~ 5 4 4 とから構成されている。

【 0 0 2 0 】

選択回路 5 2 1 ~ 5 2 4 は外部から入力される割当済み出力ポート情報 S 5 0 5 ~ S 5 0 8 と第 1 の 4×4 スケジューラ 5 1 0 が出力する割当済み出力ポート情報 S 5 1 7 ~ S 5 2 0 とのいずれか一方を選択して第 2 の 4×4 スケジューラ 5 2 0 の割当済み出力ポート情報 S 5 4 5 ~ S 5 4 8 として出力する。

【 0 0 2 1 】

選択回路 5 3 1 ~ 5 3 4 は外部から入力される割当済み出力ポート情報 S 5 0 9 ~ S 5 1 2 と第 2 の 4×4 スケジューラ 5 2 0 が出力する割当済み出力ポート情報 S 5 2 1 ~ S 5 2 4 とのいずれか一方を選択して第 3 の 4×4 スケジューラ 5 3 0 の割当済み出力ポート情報 S 5 4 9 ~ S 5 5 2 として出力する。

【 0 0 2 2 】

選択回路 5 4 1 ~ 5 4 4 は外部から入力される割当済み出力ポート情報 S 5 1 3 ~ S 5 1 6 と第 3 の 4×4 スケジューラ 5 3 0 が出力する割当済み出力ポート情報 S 5 2 5 ~ S 5 2 8 のいずれか一方を選択して第 4 の 4×4 スケジューラ 5 4 0 の割当済み出力ポート情報 S 5 5 3 ~ S 5 5 6 として出力する。

【 0 0 2 3 】

また、第 1 の 4×4 スケジューラ 5 1 0 が出力する割当済み入力ポート情報 S

533～S536は第2の4×4スケジューラ520の割当済み入力ポート情報S533～S536として入力され、第2の4×4スケジューラ520が出力する割当済み入力ポート情報S537～S540は第3の4×4スケジューラ530の割当済み入力ポート情報S537～S540として入力され、第3の4×4スケジューラ530が出力する割当済み入力ポート情報S541～S544は第4の4×4スケジューラ540の割当済み入力ポート情報S541～S544として入力される。

【0024】

全ての選択回路521～524, 531～534, 541～544は外部から設定される1つの選択制御信号によって、外部からの割当済み出力ポート情報と前段の4×4スケジューラからの割当済み出力ポート情報のどちらか一方を選択する。外部からの割当済み出力ポート情報を選択する場合には、全ての選択回路521～524, 531～534, 541～544が外部からの割当済み出力ポート情報を選択する。

【0025】

図3は本発明の一実施例における第一の動作モードの論理的構成を示すブロック図である。図3においては本発明の一実施例での第一の動作モードとして、選択回路521～524, 531～534, 541～544が外部からの割当済み出力ポート情報を選択した場合の論理的構成を示している。

【0026】

この第一の動作モードの場合、第1の4×4スケジューラ510は出力ポート#1～#4宛の接続割当要求に対する接続割当を行い、第2の4×4スケジューラ520は出力ポート#5～#8宛の接続割当要求に対する接続割当を行い、第3の4×4スケジューラ530は出力ポート#9～#12宛の接続割当要求に対する接続割当を行い、第4の4×4スケジューラ540は出力ポート#13～#16宛の接続割当要求に対する接続割当を行う。

【0027】

第1の4×4スケジューラ510は外部から入力される割当済み出力ポート情報S501～S504を参照し、未割当の出力ポートに対する接続割当を行う。

第1の4×4スケジューラ510は接続割当結果を、入力された割当済み出力ポート情報S501～S504に反映させ、新たな割当済み出力ポート情報S517～S520を生成して外部に出力するとともに、接続割当が行われた入力ポートの情報を割当済み入力ポート情報S533～S536として第2の4×4スケジューラ520に出力する。

【0028】

第2の4×4スケジューラ520は外部から入力される割当済み出力ポート情報S505～S508と第1の4×4スケジューラから入力される割当済み入力ポート情報S533～S536とを参照し、未割当の入力ポート及び出力ポートに対して接続割当を行う。

【0029】

第2の4×4スケジューラ520は接続割当結果を、入力された割当済み出力ポート情報S505～S508と割当済み入力ポート情報S533～S536とに反映させ、新たな割当済み出力ポート情報S521～S524を生成して外部に出力するとともに、接続割当が行われた入力ポートの情報を割当済み入力ポート情報S537～S540として第3の4×4スケジューラ530に出力する。

【0030】

第3の4×4スケジューラ530は外部から入力される割当済み出力ポート情報S509～S512と第2の4×4スケジューラ520から入力される割当済み入力ポート情報S537～S540とを参照し、未割当の入力ポート及び出力ポートに対して接続割当を行う。

【0031】

第3の4×4スケジューラ530は接続割当結果を、入力された割当済み出力ポート情報S509～S512と割当済み入力ポート情報S537～S540とに反映させ、新たな割当済み出力ポート情報S525～S528を生成して外部に出力するとともに、接続割当が行われた入力ポートの情報を割当済み入力ポート情報S541～S544として第4の4×4スケジューラ540に出力する。

【0032】

第4の4×4スケジューラ540は外部から入力される割当済み出力ポート情

報 S 5 1 3 ~ S 5 1 6 と第 3 の 4 × 4 スケジューラ 5 3 0 から入力される割当済み入力ポート情報 S 5 4 1 ~ S 5 4 4 とを参照し、未割当の入力ポート及び出力ポートに対して接続割当を行う。

【 0 0 3 3 】

第 4 の 4 × 4 スケジューラ 5 4 0 は接続割当結果を、入力された割当済み出力ポート情報 S 5 1 3 ~ S 5 1 6 に反映させ、新たな割当済み出力ポート情報 S 5 2 9 ~ S 5 3 2 を生成して外部に出力する。

【 0 0 3 4 】

図 4 は本発明の一実施例における第一の動作モードでのポート数拡張時の論理的構成を示すブロック図である。図 4 においては第一の動作モードでポート数を拡張する場合の論理的構成を示している。尚、図 4 において、スケジューラ 9 1 0, 9 2 0, 9 3 0, 9 4 0 は図 3 に示すスケジューラ 5 0 0 に相当する。

【 0 0 3 5 】

スケジューラ 9 1 0 は入力ポート # 1 ~ # 4 からの接続割当要求に対する接続割当を行い、スケジューラ 9 2 0 は入力ポート # 5 ~ # 8 からの接続割当要求に対する接続割当を行い、スケジューラ 9 3 0 は入力ポート # 9 ~ # 1 2 からの接続割当要求に対する接続割当を行い、スケジューラ 9 4 0 は入力ポート # 1 3 ~ # 1 6 からの接続割当要求に対する接続割当を行う。

【 0 0 3 6 】

本実施例においてはポート数を拡張するために各スケジューラ 9 1 0, 9 2 0, 9 3 0, 9 4 0 をパイプライン接続して処理を行い、またスイッチの転送性能を落とさないように並列処理を行う。

【 0 0 3 7 】

図 5 は図 4 の各スケジューラ 9 1 0, 9 2 0, 9 3 0, 9 4 0 の動作を示す図である。図 5 は Framed-RRGS (Framed Round Robin Greedy Scheduling) の動作を示している。これら図 4 及び図 5 を参照して本発明の一実施例における第一の動作モードでのポート数拡張時の動作について説明する。

【 0 0 3 8 】

図4に示す拡張構成は4×16スケジューラを4個パイプライン接続することによって、16×16スケジューラを構成する方法を示している。この場合、それぞれのスケジューラ910, 920, 930, 940が4×16分のスケジューリングを行う時間を1タイムスロット(TS)と定義する。

【0039】

1TSは本スケジューラ910, 920, 930, 940とクロスポイントスイッチ(図示せず)とから構成されるスイッチ部(図示せず)と、複数の入力インタフェース部(図示せず)と、複数の出力インタフェース部(図示せず)とから構成される通信装置において、入力インタフェース部からクロスポイントスイッチを経由して出力インタフェース部にデータを転送する時間と等しいか、それ以下である。

【0040】

図5を見ると、TS5に転送するデータのスケジューリングは、最初にTS1でスケジューラ910が行い、順にTS2でスケジューラ920が、TS3でスケジューラ930が、TS4でスケジューラ940がそれぞれ行うことによって完結する。

【0041】

同様に、TS6に転送するデータのスケジューリングは、最初にTS1でスケジューラ940が行い、順にTS2でスケジューラ910が、TS3でスケジューラ920が、TS4でスケジューラ930がそれぞれ行う。以下、同様にしてスケジューリングが行われる。

【0042】

TS1に着目すると、スケジューラ910はTS5のスケジューリングを行い、スケジューラ920はTS8のスケジューリングを行い、スケジューラ930はTS7のスケジューリングを行い、スケジューラ940はTS6のスケジューリングを行っている。

【0043】

他のタイムスロットでも同様に、各スケジューラが異なるタイムスロットのスケジューリングを並行して行っていることが分かる。4TS時間をかけて、次の

フレームの4TSに転送するデータのスケジューリングを行っていることから、1回のデータ転送のスケジューリングを1TSで行っていることと同等の性能となる。

【0044】

このFramed-RRGSの動作は一例であり、RRGSのアルゴリズムも適用可能である。この動作については、例えば電子情報通信学会技術研究報告（SSE99-121:1999.12.16）に記載されている。

【0045】

上記の例では4×4スケジューラとして使用する場合、4×16スケジューラを1個使用し、出力ポート#1～#4宛の接続割当要求のみ入力するようにすればよい。これは出力ポート#5～#16宛の接続割当要求をを入力しなければ、接続割当が行われないからである。

【0046】

また、8×8スケジューラを構成する場合には、4×16スケジューラを2個パイプライン接続し、出力ポート#1～#8宛の接続割当要求のみ入力するようにすればよい。同様に、12×12のスケジューラを構成する場合も3個の4×16スケジューラをパイプライン接続すればよい。

【0047】

図6は本発明の一実施例における第二の動作モードの論理的構成を示すブロック図である。図6においては本発明の一実施例での第一の動作モードとして、選択回路521～524，531～534，541～544が前段のスケジューラからの割当済み出力ポート情報を選択した場合の論理的構成を示している。

【0048】

第1の4×4スケジューラ510は初段のスケジューラであるため、入力される割当済み出力ポート情報S30には必ず“0”を入力することになる。したがって、他の第2～第4の4×4スケジューラ520，530，540と同様に、第1の4×4スケジューラ510に入力される割当済み出力ポート情報にも選択回路を設け、第二の動作モードとして使用する場合に4×16スケジューラ500の内部で固定的に“0”を与える構成としてもよい。

【0049】

第1～第4の4×4スケジューラ510、520、530、540各々は出力ポート#1～#4宛の接続割当を行うが、各スケジューラが扱う優先クラスが異なる。

【0050】

第1の4×4スケジューラ510は最優先クラスの接続割当要求に対する接続割当を行い、第2の4×4スケジューラ520は第2優先クラスの接続割当要求に対する接続割当を行い、第3の4×4スケジューラ530は第3優先クラスの接続割当要求に対する接続割当を行い、第4の4×4スケジューラ540は最低優先クラスの接続割当要求に対する接続割当を行う。

【0051】

第1の4×4スケジューラ510は外部から入力される割当済み出力ポート情報S501～S504を参照し、未割当の出力ポートに対する接続割当を行う。第1の4×4スケジューラ510は接続割当結果を、入力された割当済み出力ポート情報S501～S504に反映させ、新たな割当済み出力ポート情報S545～S548を生成して出力するとともに、接続割当が行われた入力ポートの情報を割当済み入力ポート情報S533～S536として第2の4×4スケジューラ520に出力する。

【0052】

第2の4×4スケジューラ520は第1の4×4スケジューラ510から入力される割当済み出力ポート情報S545～S548と割当済み入力ポート情報S533～S536とを参照し、未割当の入力ポート及び出力ポートに対して接続割当を行う。第2の4×4スケジューラ520は接続割当結果を、入力された割当済み出力ポート情報S545～S548と割当済み入力ポート情報S533～S536とに反映させ、新たな割当済み出力ポート情報S549～S552を生成して出力するとともに、接続割当が行われた入力ポートの情報を割当済み入力ポート情報S537～S540として第3の4×4スケジューラ530に出力する。

【0053】

第3の4×4スケジューラ530は第2の4×4スケジューラ520から入力される割当済み出力ポート情報S549～S552と割当済み入力ポート情報S537～S540とを参照し、未割当の入力ポート及び出力ポートに対して接続割当を行う。第3の4×4スケジューラ530は接続割当結果を、入力された割当済み出力ポート情報S549～S552と割当済み入力ポート情報S537～S540とに反映させ、新たな割当済み出力ポート情報S553～S556を生成して出力するとともに、接続割当が行われた入力ポートの情報を割当済み入力ポート情報S541～S544として第4の4×4スケジューラ540に出力する。

【0054】

第4の4×4スケジューラ540は第3の4×4スケジューラ530から入力される割当済み出力ポート情報S553～S556と割当済み入力ポート情報S541～S544とを参照し、未割当の入力ポート及び出力ポートに対して接続割当を行う。第4の4×4スケジューラ540は接続割当結果を、入力された割当済み出力ポート情報S553～S556に反映させ、新たな割当済み出力ポート情報S529～S532を生成して外部に出力する。

【0055】

図7は本発明の一実施例における第一の動作モードの動作を説明する図であり、図8は本発明の一実施例における第二の動作モードの動作を説明する図である。これら図7及び図8を参照して本発明の一実施例における各動作モードの動作について説明する。

【0056】

図7において、入力ポート数4、出力ポート数16のスケジューラに入力される接続割当要求は4×16のマトリクスで表現される。縦軸が入力ポート、横軸が出力ポートであり、入力ポートs、出力ポートdの要素が“1”であれば、入力ポートsから出力ポートdへの接続割当要求があることを意味する。各スケジューラ510～540は4×4であるため、4×16マトリクスを出力ポート4個単位に4分割し、それぞれのスケジューラ510～540には4×4の接続割当要求マトリクスで入力する。

【 0 0 5 7 】

また、出力される接続割当結果のマトリクスも同様に定義し、要素が 1 となっている場所が接続割当がなされた入力ポート・出力ポートの組を表す。以下、(s , d) と記述した場合、入力ポート s、出力ポート d に対応するものとする。

【 0 0 5 8 】

スケジューラ 5 1 0 では入力ポート、出力ポートとも割当済のポートは存在しないため、入力された接続割当要求 R 2 1 が変更されることなく、スケジューラ 5 1 0 に入力され、G 2 1 に示す接続割当がなされたとする。尚、スケジューラ 5 1 0 では任意のスケジューリングアルゴリズムを採用することができる。

【 0 0 5 9 】

スケジューラ 5 1 0 で得られる接続割当は (1 , 3) であるため、割当済入力ポート情報 S 2 1 の入力ポート # 1 に “ 1 ” をセットし、割当済み出力ポート情報 S 4 1 の出力ポート # 3 に “ 1 ” をセットして出力する。

【 0 0 6 0 】

スケジューラ 5 2 0 では入力された割当済み入力ポート情報 S 2 1 と割当済み出力ポート情報 S 3 2 とから、入力ポート # 1 と出力ポート # 7 とが割当済みであると判断し、対応するポートの接続割当要求をマスクし、残った接続割当要求の割当を行う (G 2 2) 。

【 0 0 6 1 】

スケジューラ 5 2 0 に入力される接続割当要求 R 2 2 のマトリクスにおいて太線枠で囲んだ部分がマスクされる接続割当要求である。スケジューラ 5 2 0 で得られる接続割当は (4 , 5) であるため、入力された割当済み入力ポート情報 S 2 1 にこの割当結果を反映し、入力ポート # 4 に “ 1 ” を追加セットして割当済み入力ポート情報 S 2 2 として出力するとともに、また割当済み出力ポート情報 S 4 2 の出力ポート # 5 に “ 1 ” をセットして出力する。

【 0 0 6 2 】

スケジューラ 5 3 0 では入力された割当済み入力ポート情報 S 2 2 と割当済み出力ポート情報 S 3 3 とから、入力ポート # 1 , # 4 が割当済みであると判断し、対応するポートの接続割当要求をマスクし、残った接続割当要求の割当を行う

(G23)。

【0063】

スケジューラ530に入力される接続割当要求R23のマトリクスにおいて太線枠で囲んだ部分がマスクされる接続割当要求である。スケジューラ530で得られる接続割当は(2, 9)であるため、入力された割当済み入力ポート情報S22にこの割当結果を反映し、入力ポート#2に“1”を追加セットして割当済み入力ポート情報S23として出力するとともに、また割当済み出力ポート情報S42の出力ポート#9に“1”をセットして出力する。

【0064】

スケジューラ540では入力された割当済み入力ポート情報S23と割当済み出力ポート情報S34とから、入力ポート#1, #2, #4と出力ポート#13とが割当済みであると判断し、対応するポートの接続割当要求をマスクし、残った接続割当要求の割当を行う(G24)。

【0065】

スケジューラ540に入力される接続割当要求R24のマトリクスにおいて太線枠で囲んだ部分がマスクされる接続割当要求である。スケジューラ540で得られる接続割当は(3, 14)であるため、割当済み出力ポート情報S42の出力ポート#5に“1”をセットして出力する。また、スケジューラ540は最終段なので割当済み入力ポート情報の出力はない。

【0066】

図8において、優先度の異なる4つのサービスクラスが存在し、各優先クラスの接続割当要求は4×4のマトリクスで表現される。接続割当要求及び接続割当結果のマトリクスの定義は第一の動作モードでの説明と同様である。最優先クラス、第2優先クラス、第3優先クラス、最低優先クラスの接続割当要求がそれぞれスケジューラ510, 520, 530, 540に入力される。

【0067】

スケジューラ510より優先度の高いスケジューラはないため、スケジューラ510に入力される割当済み出力ポート情報S31にはすべて“0”が入力されている。スケジューラ510においては入力ポート、出力ポートとも割当済みのポ

ートは存在しないため、入力された割当要求 R 2 1 が変更されることなく、スケジューラ 5 1 0 に入力され、G 2 1 に示す接続割当がなされたとする。

【0068】

スケジューラ 5 1 0 で得られる接続割当は (1, 3) であるため、割当済入力ポート情報 S 2 1 の入力ポート # 1 に “1” をセットし、割当済み出力ポート情報 S 4 1 の出力ポート # 3 に “1” をセットして出力する。

【0069】

スケジューラ 5 2 0 では入力された割当済み入力ポート情報 S 2 1 と割当済み出力ポート情報 S 4 1 とから、入力ポート # 1 と出力ポート # 3 とが割当済みであると判断し、対応するポートの接続割当要求をマスクし、残った接続割当要求の割当を行う (G 2 2)。

【0070】

スケジューラ 5 2 0 に入力される接続割当要求 R 2 2 のマトリクスにおいて太線枠で囲んだ部分がマスクされる接続割当要求である。スケジューラ 5 2 0 で得られる接続割当は (4, 1) であるため、入力された割当済み入力ポート情報 S 2 1 にこの割当結果を反映し、入力ポート # 4 に “1” を追加セットして割当済み入力ポート情報 S 2 2 として出力するとともに、また入力された割当済み出力ポート情報 S 4 1 にも割当結果を反映させ、割当済み出力ポート情報 S 4 2 の出力ポート # 1 に “1” をセットして出力する。

【0071】

スケジューラ 5 3 0 では入力された割当済み入力ポート情報 S 2 2 と割当済み出力ポート情報 S 4 2 とから、入力ポート # 1, # 4 と出力ポート # 1, # 3 とが割当済みであると判断し、対応するポートの接続割当要求をマスクし、残った接続割当要求の割当を行う (G 2 2)。

【0072】

スケジューラ 5 3 0 に入力される接続割当要求 R 2 3 のマトリクスにおいて太線枠で囲んだ部分がマスクされる接続割当要求である。スケジューラ 5 3 0 で得られる接続割当は (2, 4) であるため、入力された割当済み入力ポート情報 S 2 2 にこの割当結果を反映し、入力ポート # 2 に “1” を追加セットして割当済

み入力ポート情報 S 2 3 として出力するとともに、また入力された割当済み出力ポート情報 S 4 2 にも割当結果を反映させ、割当済み出力ポート情報 S 4 3 の出力ポート # 4 に “ 1 ” をセットして出力する。

【 0 0 7 3 】

スケジューラ 5 4 0 では入力された割当済み入力ポート情報 S 2 3 と割当済み出力ポート情報 S 3 4 とから、入力ポート # 1, # 2, # 4 と出力ポート # 1, # 3, # 4 とが割当済みであると判断し、対応するポートの接続割当要求をマスクし、残った接続割当要求の割当を行う (G 2 4) 。

【 0 0 7 4 】

スケジューラ 5 4 0 に入力される接続割当要求 R 2 4 のマトリクスにおいて太線枠で囲んだ部分がマスクされる接続割当要求である。スケジューラ 5 4 0 で得られる接続割当は (3, 2) であるため、入力された割当済み出力ポート情報 S 4 3 に割当結果を反映させ、割当済み出力ポート情報 S 4 4 の出力ポート # 2 に “ 1 ” をセットして出力する。スケジューラ 5 4 0 は最終段なので割当済み入力ポート情報の出力はない。

【 0 0 7 5 】

スケジューラ 5 1 0 は最初に接続割当を行うので、このスケジューラ 5 1 0 に入力される最優先クラスの接続割当要求は、第 2 優先以下のクラスの接続割当要求の状態に関わらず、優先的に割当が行われる。

【 0 0 7 6 】

次に、第 2 優先クラスの接続割当要求は最優先クラスの接続割当が行われた後に割当を行うため、最優先クラスと第 2 優先クラスとで同じポートに対する接続割当要求があると、そのポートに対する割当は行えない。しかしながら、最優先クラスの割当後に未割当として残っているポートに対しては、第 3 優先クラス及び最低優先クラスよりも先に割当を行うことができる。このように、上位の優先クラスから順に接続割当を行うことで、より上位のクラスの割当機会が大きくなる。

【 0 0 7 7 】

このように、外部から入力される割当済み出力ポート情報を、各スケジューラ

510, 520, 530, 540に入力するように選択回路を制御すると、ポート数拡張性をもったスケジューラとして使用することができ、また前段のスケジューラから出力される割当済み出力ポート情報を次段のスケジューラに入力するように選択回路を制御すると、複数の優先クラスに対応したスケジューラとして使用できる。

【0078】

また、本発明の第一の動作モードは、図3を参照すると、出力ポート#1～#4が他の出力ポートに比べて優先的に割り当てが行われることになる。ここで、特願平11-282358号に記載の「スケジューラ」の発明を組合わせることによって、4×16スケジューラを構成する各4×4スケジューラ間での接続割当の公平性が確保できる。

【0079】

すなわち、図3において、4×16スケジューラ500を構成する4つの4×4スケジューラ510, 520, 530, 540はそれぞれ固定的に、4×4スケジューラ510は出力ポート#1～#4、4×4スケジューラ520は出力ポート#5～#8、4×4スケジューラ530は出力ポート#9～#12、4×4スケジューラ540は出力ポート#13～#16のスケジューリングを行っている。このため、出力ポート#1～#4への接続割当要求が最も優先的に割当が行われることになり、ポート間の割当機会が不公平となっている。

【0080】

この不公平を解消するためには、上記の「スケジューラ」の発明にて提案されている「グループシャッフル」という方法が有効である。グループシャッフルは各4×4スケジューラ510, 520, 530, 540が扱うポートをそれぞれグループとして、図5に示すフレーム毎に入替えるという方法である。この入替えによって、処理される出力ポートの優先度がフレーム毎に異なることになり、出力ポート間の割当機会を公平にすることができる。

【0081】

各4×4スケジューラ510, 520, 530, 540内の4つの入力ポート及び4つの出力ポート間の公平性については、4×4スケジューラ510, 52

0, 530, 540が適用しているアルゴリズムに依存する。適用しているアルゴリズムがポート間の公平性を保証しているものであれば問題ないが、公平でない場合には各4×4スケジューラ510, 520, 530, 540内で入力ポート間の入替え及び出力ポート間の入替えを行うことで、ポート間の割当機会を公平にすることができる。

【0082】

また、本発明の一実施例における第二の動作モードでは4×4スケジューラ510が最優先の接続割当要求を処理し、4×4スケジューラ520が第2優先の接続割当要求を処理し、4×4スケジューラ530が第3優先の接続割当要求を処理し、4×4スケジューラ540が最低優先の接続割当要求を処理している。つまり、最優先の接続割当要求から順に割当を行うことで優先制御を行っているため、4つの4×4スケジューラ510, 520, 530, 540で扱う接続割当要求の順序を入替えることはできない。

【0083】

尚、図1～図4及び図6では割当済み入力ポート情報及び割当済み出力ポート情報のみを記載しているが、入力インタフェース部からの接続割当要求も合わせて入力されており、また接続割当結果は入力インタフェース部に返送している。図7及び図8には接続割当要求及び接続割当結果の様子を記載している。

【0084】

一方、図4に示すようなパイプライン構成をとる場合には、特願平11-355382号に記載の「パケットスイッチ及びパケットスイッチング方法」の発明を組合わせることによって、各スケジューラ間で接続割当の公平性を保証することが可能となる。

【0085】

すなわち、図4に示す拡張構成を採用した場合、複数の4×16スケジューラ間で不公平が発生する。図5において、スケジューラ910とスケジューラ920とに着目すると、あるTSに対するスケジューリング順序として、スケジューラ910がスケジューラ920よりも先に割当を行うのは4回に3回の割合であり、スケジューラ910が扱う入力ポート#1～#4が要求した接続割当要求の

方が、スケジューラ 9 2 0 が扱う入力ポート # 5 ~ # 8 が要求した接続割当要求よりも優先的に扱われる確率が高い。

【 0 0 8 6 】

他の組合わせでも同様であるが、例外は、スケジューラ 9 1 0 及びスケジューラ 9 3 0 のように等間隔で配置されている組合わせのみが公平である。この問題は 2 つのスケジューラ間だけでなく、3 つのスケジューラ間でも同様の不公平が存在する。

【 0 0 8 7 】

この不公平は各スケジューラ 9 1 0, 9 2 0, 9 3 0, 9 4 0 の接続順序が固定であることに起因する。そこで、接続順序を動的に変更することによって、この不公平を解消する。

【 0 0 8 8 】

4 × 1 6 スケジューラが物理的に異なる回路 [F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y) , A S I C (A p p l i c a t i o n S p e c i f i c I C) 等] に分割されている場合には上記の「スケジューラ」で行ったようなポートの入替えを行うことができない。これは固定的な配線によって各回路に入力されるポートが固定になるからである。

【 0 0 8 9 】

接続順序は割当済み出力ポートの接続先で決まるので、この割当済み出力ポート情報の接続先を変更する。具体的には、図 4 に示す構成に加えて、4 × 4 スイッチを用意する。割当済み出力ポート情報を直接次のスケジューラに転送するのではなく、全ての割当済み出力ポート情報を 4 × 4 スイッチを経由して転送する。

【 0 0 9 0 】

4 × 4 スイッチは、図 5 に示すフレーム毎に接続先を切替えて出力することによって、4 × 1 6 スケジューラ 9 1 0, 9 2 0, 9 3 0, 9 4 0 間の割当処理順序を変更する。これによって、入力ポート間の公平性が保証できる。すなわち、上記の「パケットスイッチ及びパケットスイッチング方法」の発明の方法を採用することで、上述したような 4 × 1 6 スケジューラ 9 1 0, 9 2 0, 9 3 0, 9

40の入力ポート間の公平性を保証することができる。

【0091】

このように、 $N \times kM$ スケジューラを k 個の機能ブロック（ $N \times M$ スケジューラ）から構成し、それぞれの $N \times M$ スケジューラに入力される割当済み出力ポート情報を $N \times kM$ スケジューラの外部から入力される情報と、 $N \times kM$ スケジューラ内の前段の $N \times M$ スケジューラからの情報とを設定によって切替えることで、ポート数の拡張性が要求されるルータと複数のクラス間での優先制御が要求されるルータとの双方に対応することができ、汎用的なスケジューラを実現することができる。

【0092】

【発明の効果】

以上説明したように本発明によれば、 N 個（ N は正の整数）の入力インタフェース部と kM （ M は正の整数、 k は2以上の整数）個の出力インタフェース部間のデータ転送を調停する $N \times kM$ スケジューラからなるマルチモードスケジューラにおいて、 $N \times kM$ スケジューラを構成する k 個の $N \times M$ スケジューラと、 $N \times kM$ スケジューラの外部から入力される情報と前段の $N \times M$ スケジューラからの情報とを切替えて $N \times M$ スケジューラに割当済み出力ポート情報として入力する $k-1$ 個の選択手段とを配置し、 $k-1$ 個の選択手段の切替動作によって $kN \times kM$ までのスケジューラと優先クラス k 個の $N \times M$ スケジューラとの2種類の動作を設定自在に構成することによって、ポート数の拡張性が要求されるルータと複数のクラス間での優先制御が要求されるルータとの双方に対応することができ、汎用的なスケジューラを実現することができるという効果がある。

【図面の簡単な説明】

【図1】

本発明の実施の形態によるマルチモードスケジューラの構成を示すブロック図である。

【図2】

本発明の一実施例によるマルチモードスケジューラの構成を示すブロック図である。

【図 3】

本発明の一実施例における第一の動作モードの論理的構成を示すブロック図である。

【図 4】

本発明の一実施例における第一の動作モードでのポート数拡張時の論理的構成を示すブロック図である。

【図 5】

図 4 の各スケジューラの動作を示す図である。

【図 6】

本発明の一実施例における第二の動作モードの論理的構成を示すブロック図である。

【図 7】

本発明の一実施例における第一の動作モードの動作を説明する図である。

【図 8】

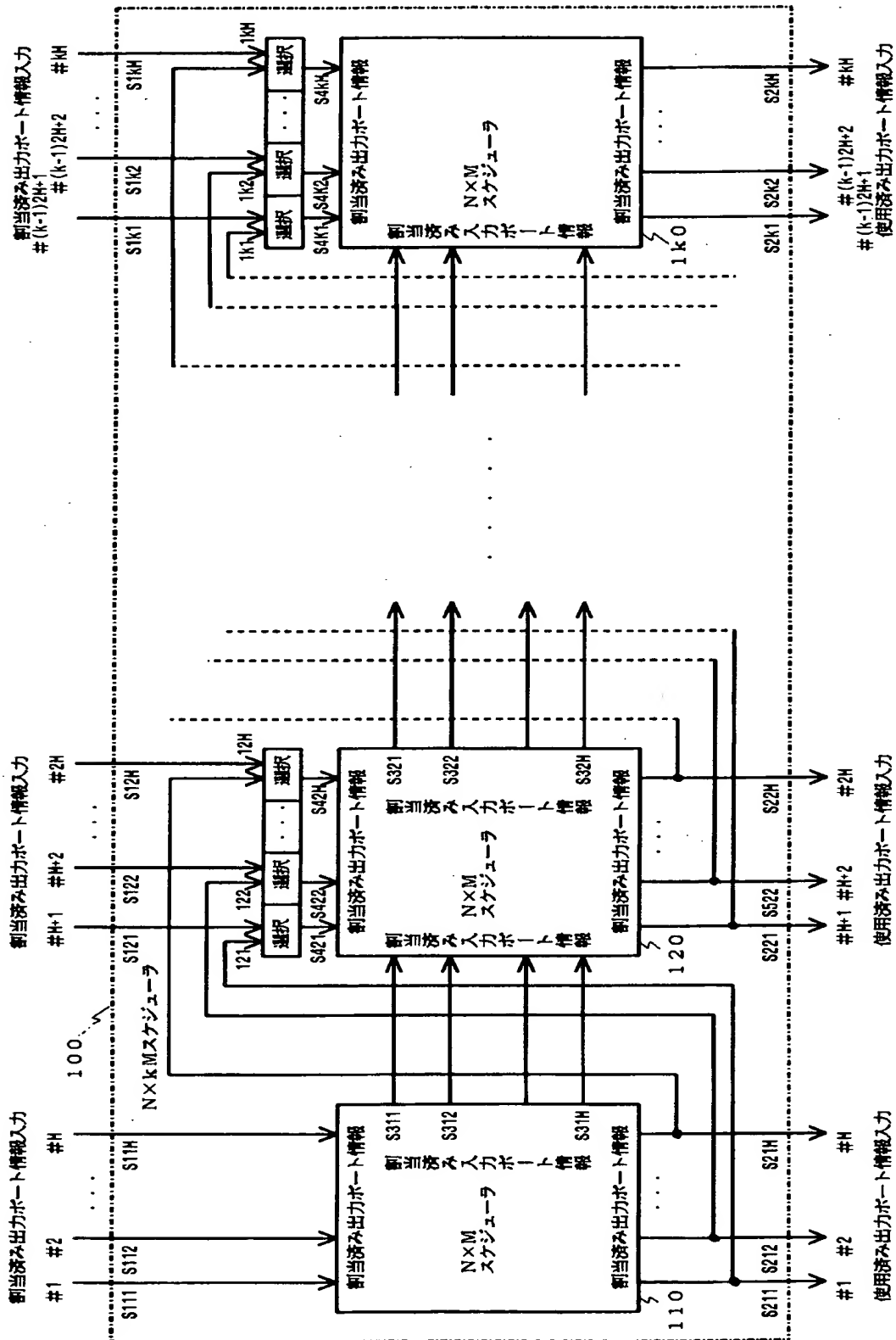
本発明の一実施例における第二の動作モードの動作を説明する図である。

【符号の説明】

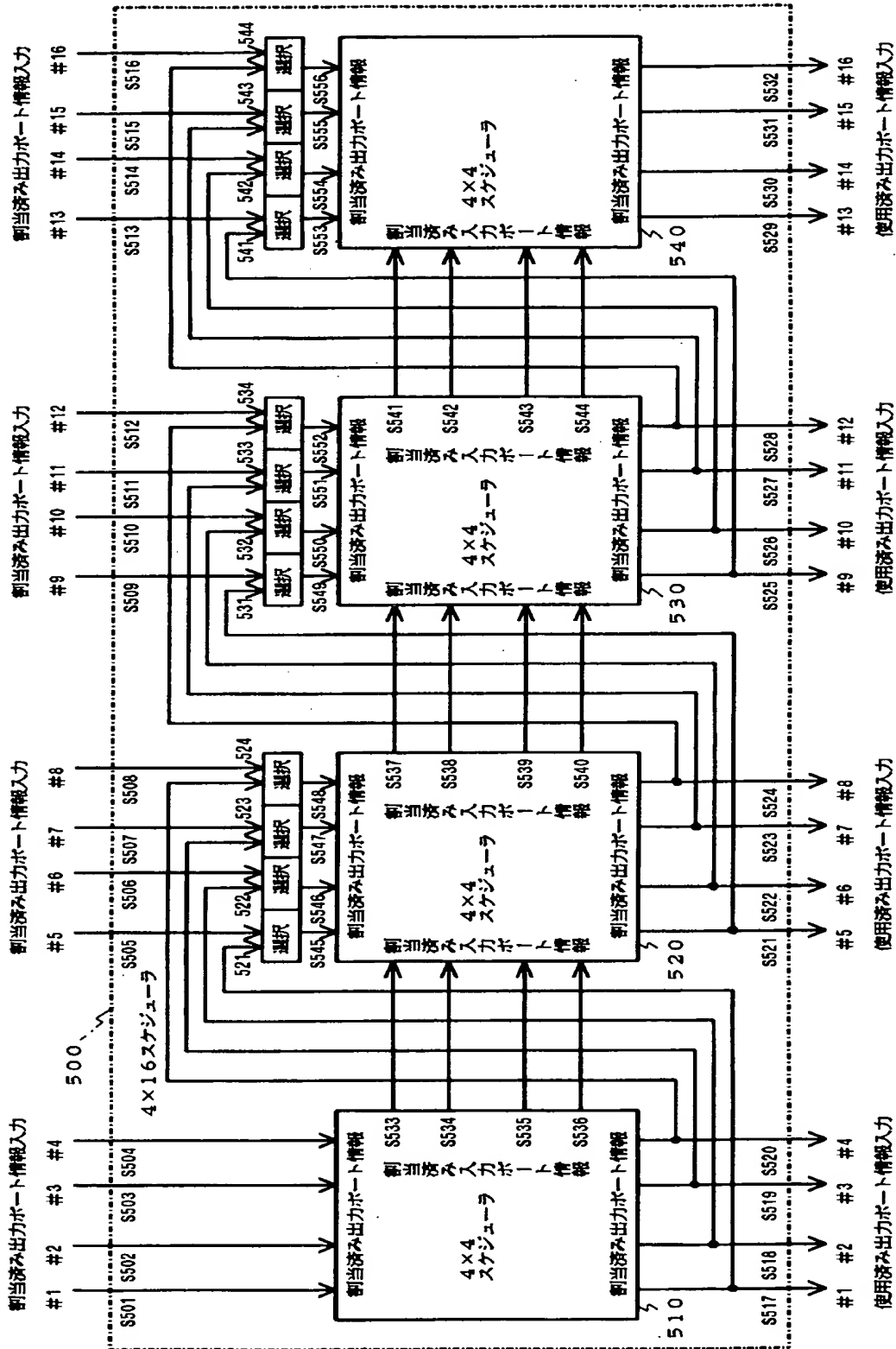
1 0 0	N × k M スケジューラ
1 1 0 ~ 1 k 0	N × M スケジューラ
1 2 1 ~ 1 2 M, 1 k 1 ~ 1 k M,	
5 2 1 ~ 5 2 4, 5 3 1 ~ 5 3 4,	
5 4 1 ~ 5 4 4	選択回路
5 0 0	4 × 1 6 スケジューラ
5 1 0, 5 2 0, 5 3 0, 5 4 0	4 × 4 スケジューラ
9 1 0, 9 2 0, 9 3 0, 9 4 0	4 × 1 6 スケジューラ

【書類名】 図面

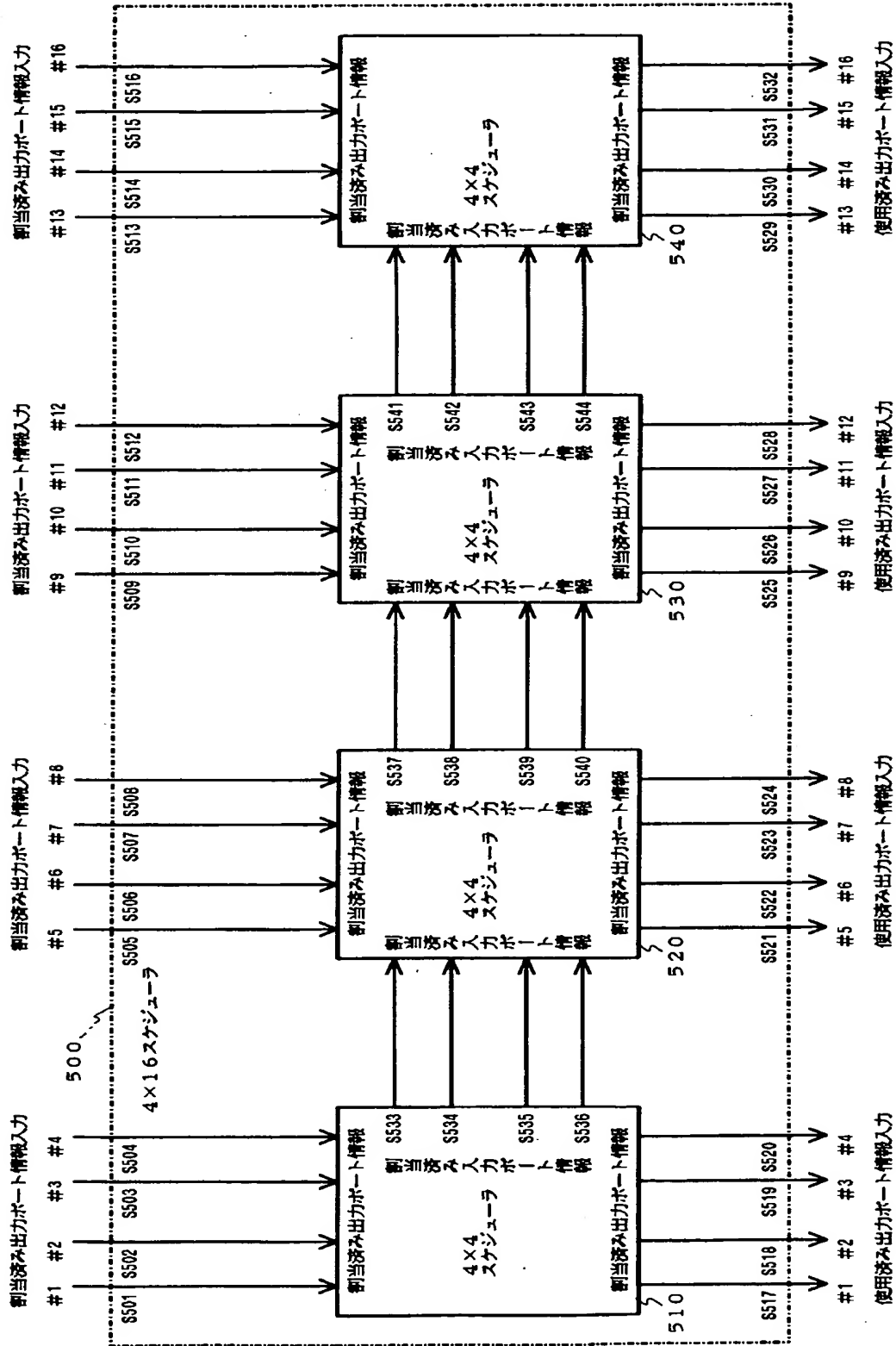
【図 1】



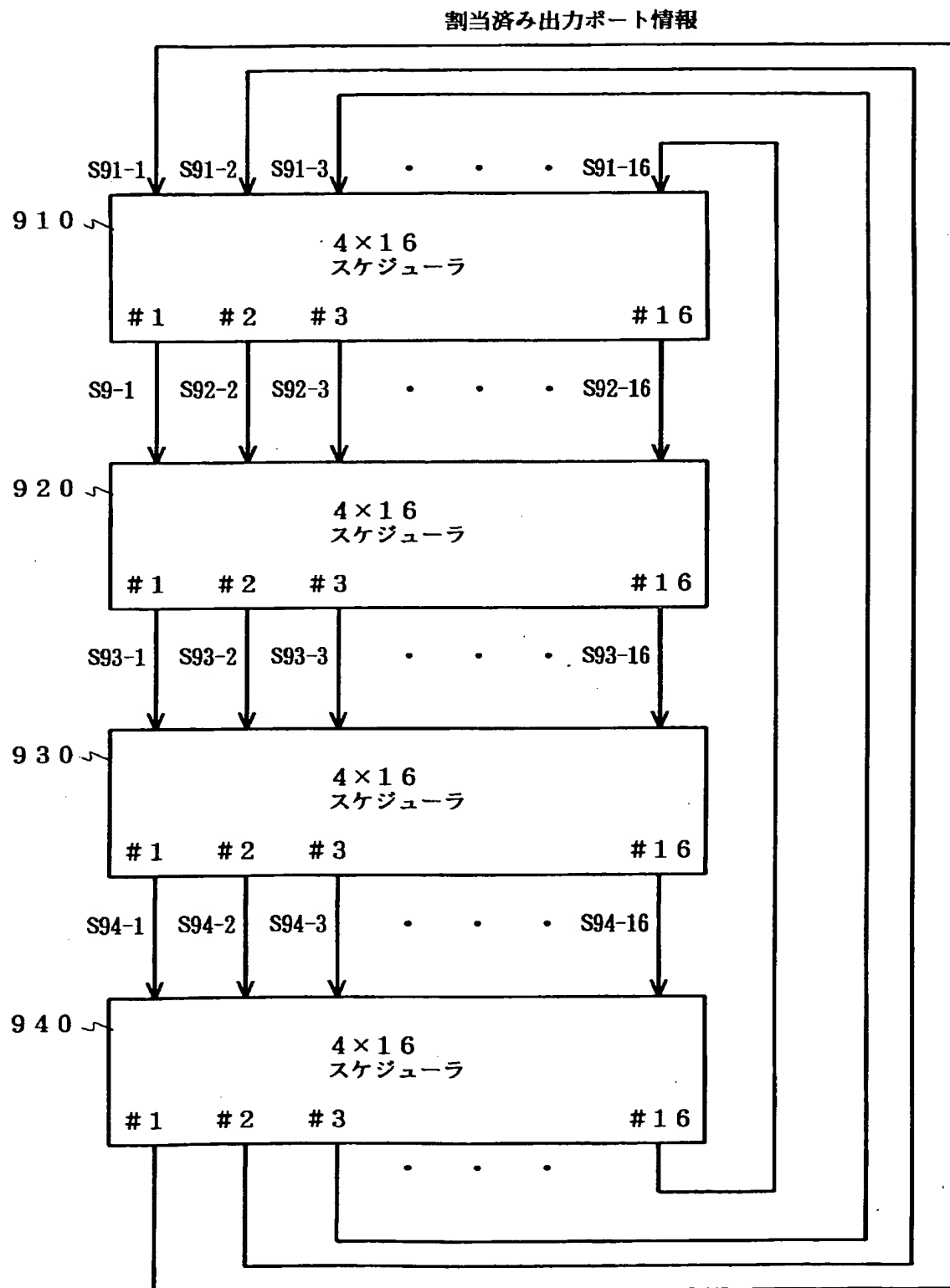
【図 2】



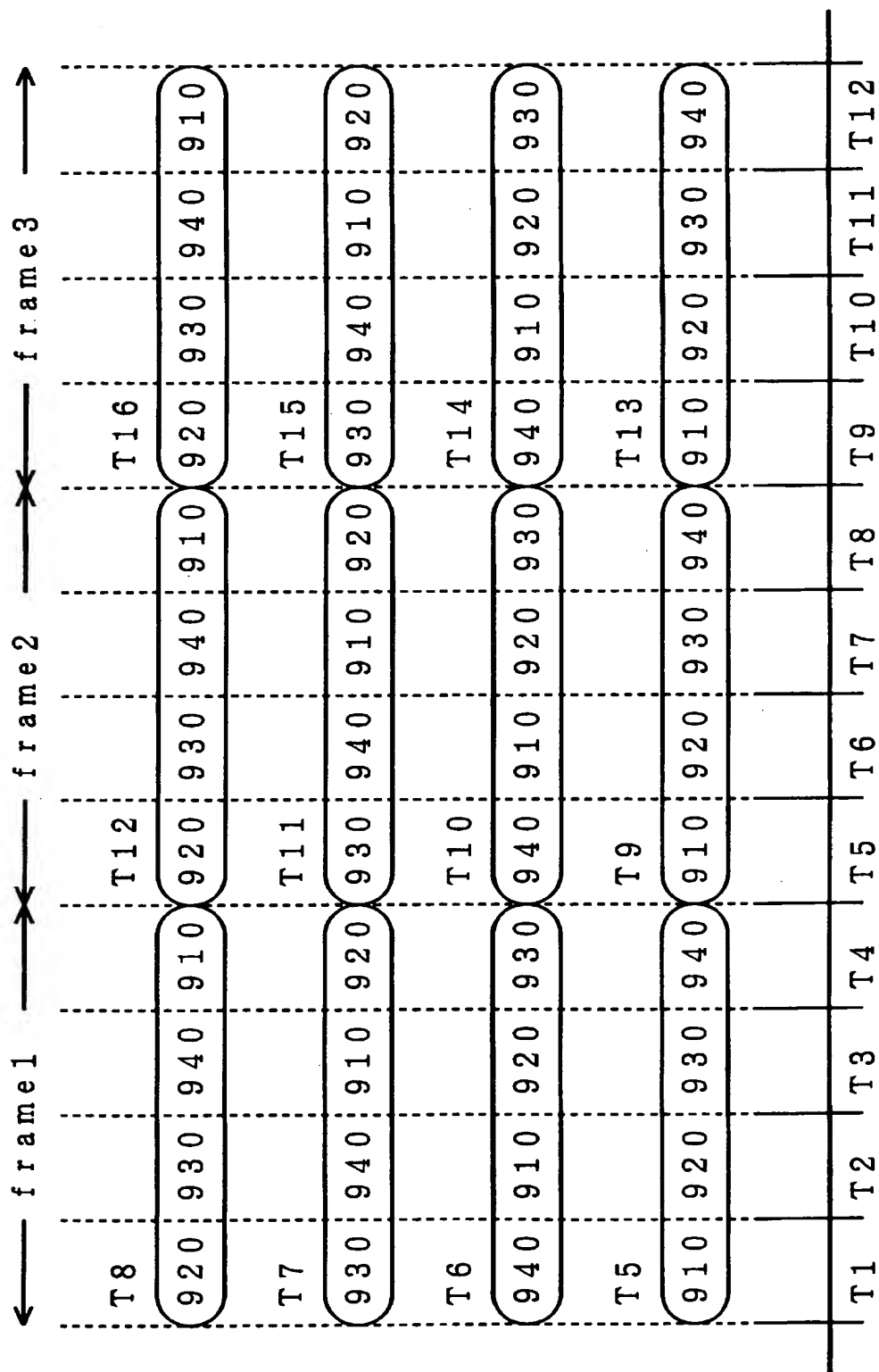
【図3】



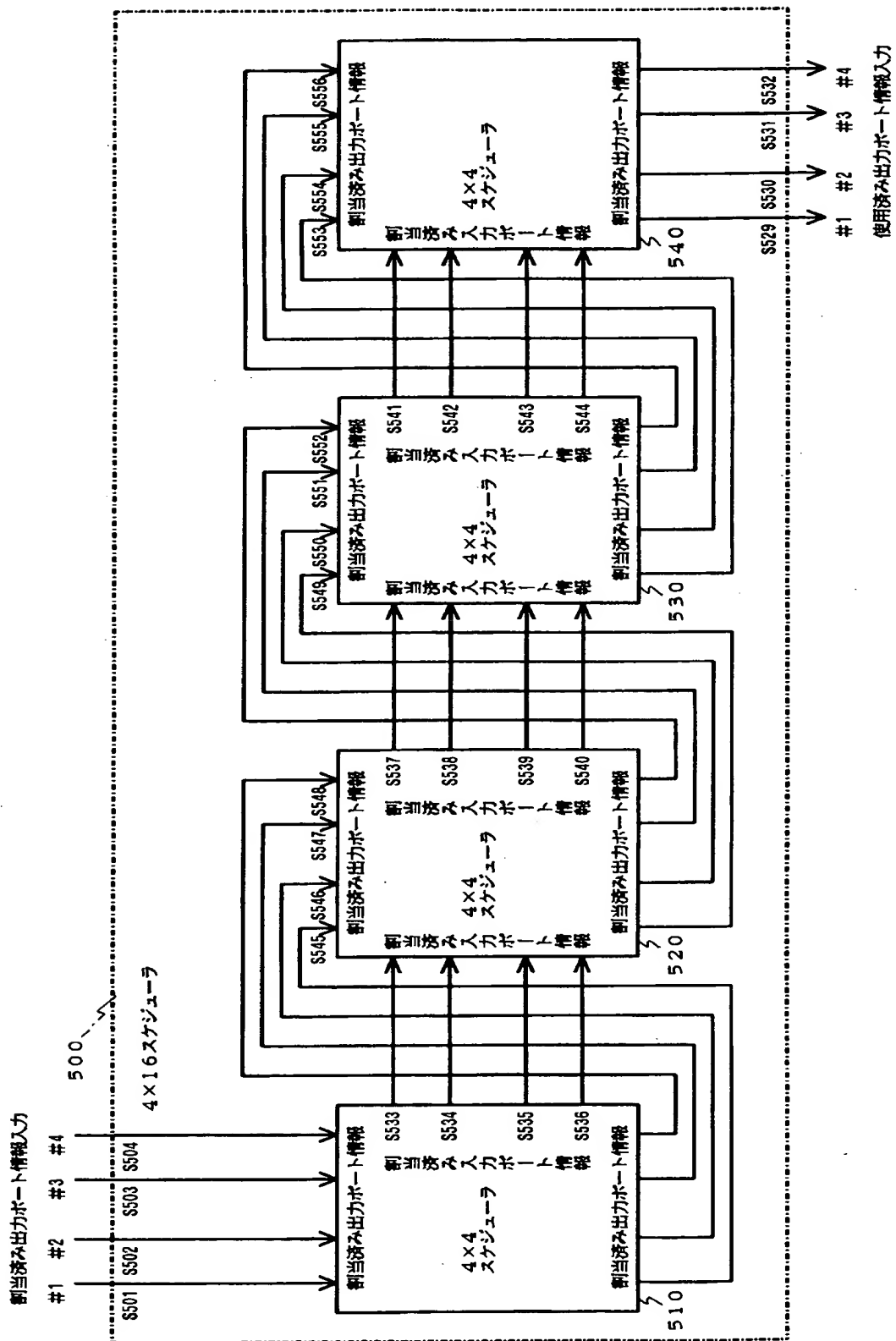
【図 4】



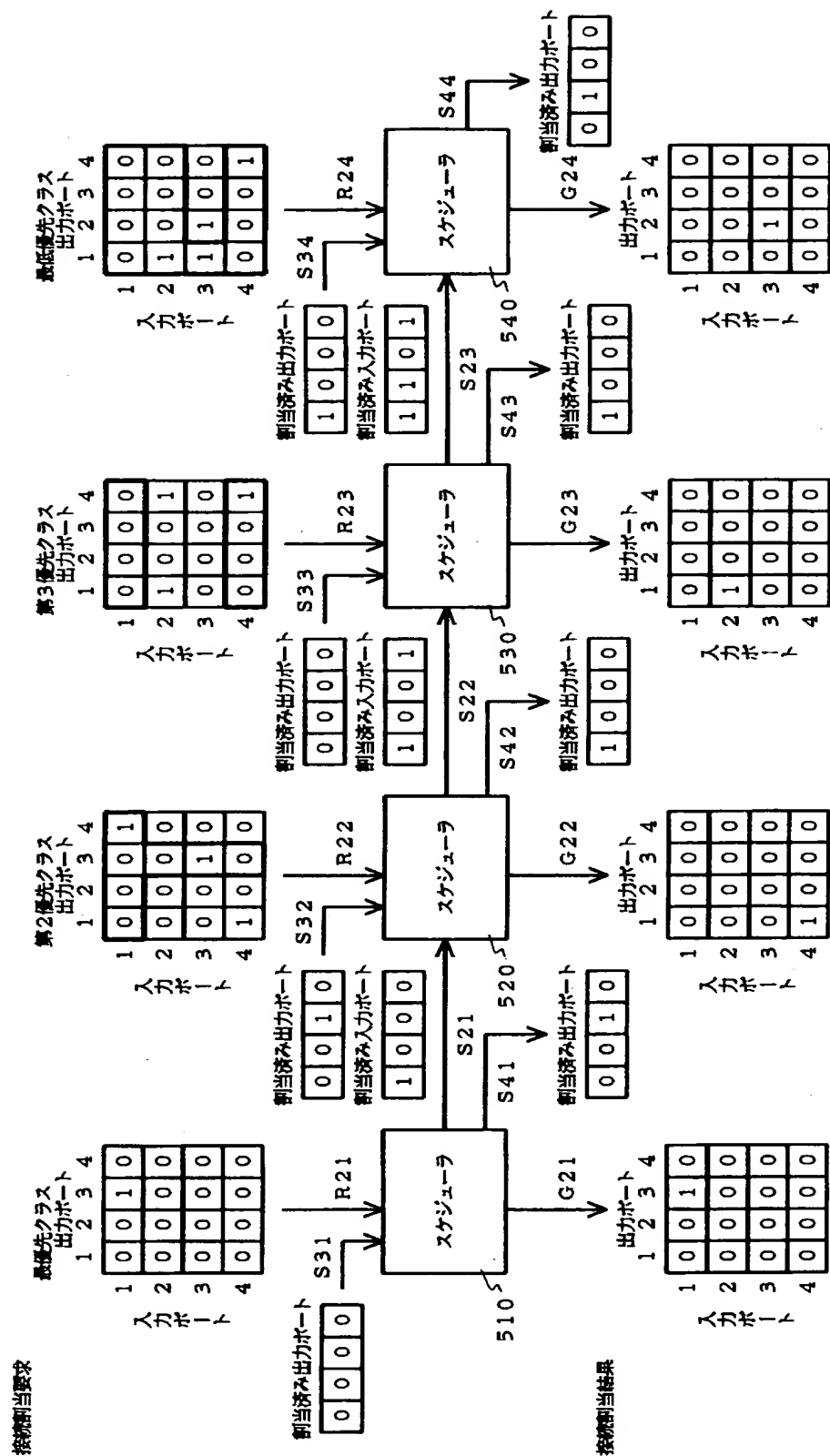
【図5】



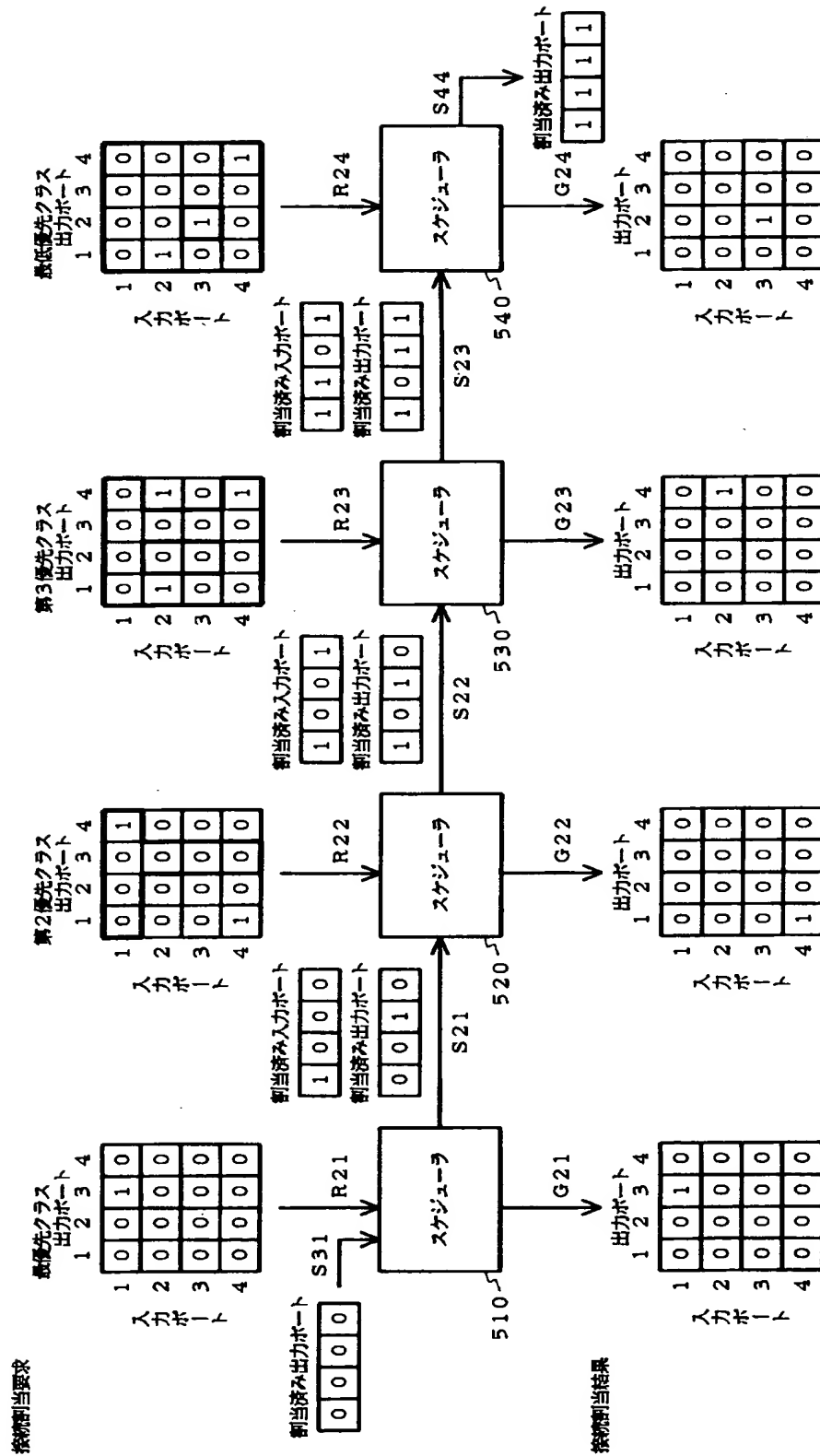
【図6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 ポート数の拡張性が要求されるルータと複数のクラス間での優先制御が要求されるルータとの双方に対応可能とし、汎用的なスケジューラを実現可能なマルチモードスケジューラを提供する。

【解決手段】 全ての選択回路 $121 \sim 12M$, \dots , $1k1 \sim 1kM$ は図示せぬ外部から設定された 1 つの選択制御信号によって、外部からの割当済み出力ポート情報と前段の $N \times M$ スケジューラ 110 , \dots , $1(k-1)0$ が出力する割当済み出力ポート情報とのどちらか一方を選択する。外部からの割当済み出力ポート情報を選択する場合には、全ての選択回路 $121 \sim 12M$, \dots , $1k1 \sim 1kM$ が外部からの割当済み出力ポート情報を選択する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社